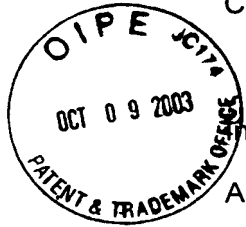


Practitioner's Docket No.: 040021-0305237  
Client Reference No.: OPP 030849 US

**PATENT**



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Continuation-in-part application of: DONG-YEAL KEUM Confirmation No:

Application No.: 10/626,584

Group No.:

Filed: July 25, 2003

Examiner:

For: METHOD OF FORMING DAMASCENE PATTERN IN A SEMICONDUCTOR  
DEVICE

**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, VA 22313-1450**

**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is  
claimed for this case:

Country

Application Number

Filing Date

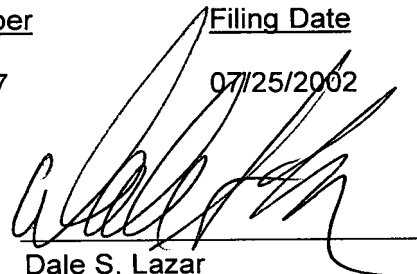
KOREA

10-2002-0043797

07/25/2002

Date: October 9, 2003

PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (703) 905-2000  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
Dale S. Lazar  
Registration No. 28872

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

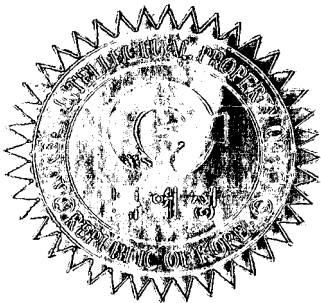
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0043797  
Application Number

출원년월일 : 2002년 07월 25일  
Date of Application JUL 25, 2002

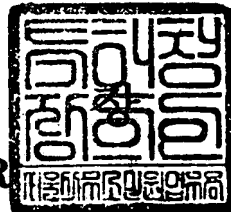
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003      년      07      월      23      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0007  
**【제출일자】** 2002.07.25  
**【발명의 명칭】** 반도체 소자의 다마신 패턴 형성방법  
**【발명의 영문명칭】** METHOD FOR FORMING DAMASCENE PATTERN IN SEMICONDUCTOR DEVICE  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 2001-050901-4  
**【발명자】**  
**【성명의 국문표기】** 금동렬  
**【성명의 영문표기】** KEUM,Dong Yeal  
**【주민등록번호】** 650501-1792614  
**【우편번호】** 467-110  
**【주소】** 경기도 이천시 증포동 244-3 대우2차아파트 206동 1004호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)  
**【수수료】**  
**【기본출원료】** 10 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 4 항 237,000 원  
**【합계】** 266,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 다마신 패턴 형성방법에 관한 것으로, 하부 배선 상부에 절연막을 형성하는 단계; 상기 절연막을 선택적으로 제거하여 상기 하부 배선 일부를 개방시키는 비아 콘택홀을 형성하는 단계; 상기 비아 콘택홀 내부 일부를 소정의 물질로 매립하는 단계; 상기 비아 콘택홀 및 절연막상에 BARC를 형성하는 단계; 및 상기 BARC가 형성된 절연막상에 다마신 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 하며, 다마신 마스크 패턴의 임계치수 변화를 최소화함으로써 임계치수의 균일도를 향상시킬 수 있으며 이에 따라 소자의 신뢰성을 제고시킬 수 있는 효과가 있는 것이다.

**【대표도】**

도 5

**【명세서】**

**【발명의 명칭】**

반도체 소자의 다마신 패턴 형성방법 {METHOD FOR FORMING DAMASCENE PATTERN IN SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 반도체 소자의 다마신 패턴 형성방법에 있어서 문제점을 설명하기 위한 단면도.

도 2 내지 도 5는 본 발명에 따른 반도체 소자의 다마신 패턴 형성방법을 도시한 공정별 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

100; 하부 배선 200, 200a; 절연막

250; 비아 콘택홀 280; 소정의 물질

300; BARC 400; 다마신 마스크 패턴

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 소자의 다마신 패턴 형성방법에 관한 것으로, 보다 상세하게는 비아 콘택 패턴 밀도에 따른 다마신 마스크의 임계치수 변화를 최소화할 수 있는 반도체 소자의 다마신 패턴 형성방법에 관한 것이다.

<8> 최근 반도체 소자가 집적화되고 공정 기술력이 향상되면서 소자의 동작속도나 저항, 금속간의 기생용량 등의 특성을 개선시키기 위한 일환으로 기존의 알루미늄(Al) 배선 대신에 구리(Cu) 배선 공정이 제안되었다. 또한, 절연막으로 기존의 산화막 대신 저유전 상수(Low-k) 물질이 차세대 소자의 배선 공정으로 각광을 받고 있다.

<9> 하지만, 이러한 구리와 저유전 상수 물질을 이용한 배선 공정의 경우 구리(Cu)의 식각 특성이 매우 열악하다는 문제가 있다. 따라서, 기존의 공정 방식 대신 미합중국특허 제 5,635,423호에 개시된 바와 같이 비아 에칭(Via Etching)과 트렌치 에칭(Trench Etching)으로 비아와 트렌치를 형성하고 이를 구리로 매립하는 반도체 소자의 다마신(Damascene) 패턴 형성방법이 구리 배선에 적합한 공정으로 알려져 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<10> 그러나, 종래 기술에 따른 반도체 소자의 다마신 패턴 형성방법에 있어서는 다음과 같은 문제점이 있다.

<11> 종래 기술에 있어서, 도 1에 도시된 바와 같이, 다마신 마스크 패턴(40)을 형성하게 되면 노광되는 광량에 따라 마스크(40) 상태의 임계치수(CD)가 조금은 달라지게 되는데, 다마신 공정의 경우는 그 정도가 크게 나타난다. ( $W \ll W'$ )

<12> 다마신 공정을 진행하는데 있어서, 비아 콘택(25)을 형성한 다음에는 다마신 패턴(40)을 형성하기 위하여 BARC(30)를 증착하게 된다. 이과정에서 비아 콘택(25)이 적은 패턴 1(A)과 비아 콘택(25)이 많은 패턴 2(B)의 경우 BARC(30)를 증착할 때 비아 콘택 밀도(via contact density)에 따라서 BARC(30)의 두께가 달리 나타나게 된다. ( $T > T'$ )

- <13> 이로 인하여 다마신 마스크 패턴(40)을 형성하게 되면 비아 콘택 밀도에 따라서 구리 다마신 라인(Cu Damascene Line)의 임계치수(CD) 변화가 심하게 나타난다. 결과적으로, 낮은 임계치수 균일도(CD Uniformity)에 의해 소자의 신뢰성이 떨어지는 문제점이 있다.
- <14> 이에 본 발명은 상기한 종래 기술상의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 비아 콘택 밀도에 따른 BARC의 두께 변화를 최소화함으로써 다마신 마스크 패턴의 임계치수 변화를 최소화할 수 있는 반도체 소자의 다마신 패턴 형성방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

- <15> 상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 다마신 패턴 형성방법은, 하부 배선 상부에 절연막을 형성하는 단계; 상기 절연막을 선택적으로 제거하여 상기 하부 배선 일부를 개방시키는 비아 콘택홀을 형성하는 단계; 상기 비아 콘택홀 내부 일부를 소정의 물질로 매립하는 단계; 상기 비아 콘택홀 및 절연막상에 BARC를 형성하는 단계; 및 상기 BARC가 형성된 절연막상에 다마신 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <16> 본 발명에 의하면, 다마신 마스크 패턴의 임계치수 변화를 최소화시킬 수 있다.
- <17> 이하, 본 발명에 따른 반도체 소자의 다마신 패턴 형성방법을 첨부한 도면을 참조하여 상세히 설명한다.
- <18> 도 2 내지 도 5는 본 발명에 따른 반도체 소자의 다마신 패턴 형성방법을 도시한 공정별 단면도이다.

- <19> 본 발명에 따른 반도체 소자의 다마신 패턴 형성방법은, 도 2에 도시된 바와 같이, 먼저 구리 등으로 이루어진 하부 배선(100) 상부에 산화물 등을 증착하여 절연막(200)을 형성한다.
- <20> 이어서, 도 3에 도시된 바와 같이, 상기 절연막(200)상에 일정한 형태의 마스크(미도시)를 이용하여 상기 절연막(200)을 선택적으로 제거한다. 그리하여, 선택적으로 제거된 절연막(200a)을 관통하며 상기 하부 배선(100) 일부를 개방시키는 비아 콘택홀(250)을 형성한다.
- <21> 한편, 패턴1(A)의 경우는 비아 콘택홀(250)이 하나만 있는 경우이고, 패턴2(B)의 경우는 비아 콘택홀(250)이 밀집해 있다고 가정한다.
- <22> 다음으로, 도 4에 도시된 바와 같이, 상기 비아 콘택홀(250) 내부 일부를 소정의 물질(280)로 매립한다.
- <23> 구체적으로, 상기 비아 콘택홀(50)이 형성된 절연막(200a)상에 소정의 물질층을 형성한 다음, 상기 절연막(200a)이 노출되도록 상기 소정의 물질층을 전면 건식각 공정 또는 화학기계적 연마 공정으로 선택적으로 제거한다. 그결과, 상기 비아 콘택홀(250)의 최상부를 제외한 내부는 소정의 물질(280)로 채워져 있게 된다. 상기 소정의 물질(280)로는 감광막을 이용할 수 있다.
- <24> 계속하여, 상기 비아 콘택홀(250) 및 절연막(200a)상에 후속하는 식각 공정시 상기 절연막(200a)의 측벽 및 하부 배선(100)의 손상을 방지하기 위하여 배리어(barrer) 역할을 하는 BARC(300)를 형성한다.



- <25> 이때, 비아 콘택홀(250) 내부는 감광막과 같은 소정의 물질(280)로 채워져 있기 때문에 상기 패턴1(A)에서의 BARC(300)의 두께(T)와 상기 패턴2(B)에서의 BARC(300)의 두께(T')는 거의 차이가 없게 된다.
- <26> 다음으로, 도 5에 도시된 바와 같이, 상기 BARC(300)가 형성된 절연막(200a)상에 다마신 마스크 패턴(400)을 형성한다.
- <27> 이때, 상기 다마신 마스크 패턴(400)에 있어서 상기 패턴1(A)과 패턴2(B) 사이의 임계치수(CD) 차이는 상기 BARC(300)의 두께가 유사하므로( $T \approx T'$ ) 최소화된다. ( $W \approx W'$ )
- <28> 본 발명의 원리와 정신에 위배되지 않는 범위에서 여러 실시예는 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명할 뿐만 아니라 용이하게 실시할 수 있다. 따라서, 본원에 첨부된 특허청구범위는 이미 상술된 것에 한정되지 않으며, 하기 특허청구범위는 당해 발명에 내재되어 있는 특허성 있는 신규한 모든 사항을 포함하며, 아울러 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해서 균등하게 처리되는 모든 특징을 포함한다.

#### 【발명의 효과】

- <29> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체 소자의 다마신 패턴 형성방법에 의하면 다마신 마스크 패턴의 임계치수 변화를 최소화함으로써 임계치수의 균일도를 향상시킬 수 있으며 이에 따라 소자의 신뢰성을 제고시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

하부 배선 상부에 절연막을 형성하는 단계;

상기 절연막을 선택적으로 제거하여 상기 하부 배선 일부를 개방시키는 비아 콘택홀을 형성하는 단계;

상기 비아 콘택홀 내부 일부를 소정의 물질로 매립하는 단계;

상기 비아 콘택홀 및 절연막상에 BARC를 형성하는 단계; 및

상기 BARC가 형성된 절연막상에 다마신 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다마신 패턴 형성방법.

**【청구항 2】**

제1항에 있어서,

상기 비아 콘택홀 내부 일부를 소정의 물질로 매립하는 단계는,

상기 비아 콘택홀이 형성된 절연막상에 소정의 물질층을 형성하는 단계; 및

상기 절연막이 노출되도록 상기 소정의 물질층을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다마신 패턴 형성방법.

**【청구항 3】**

제2항에 있어서,

상기 소정의 물질은 감광막인 것을 특징으로 하는 반도체 소자의 다마신 패턴 형성방법

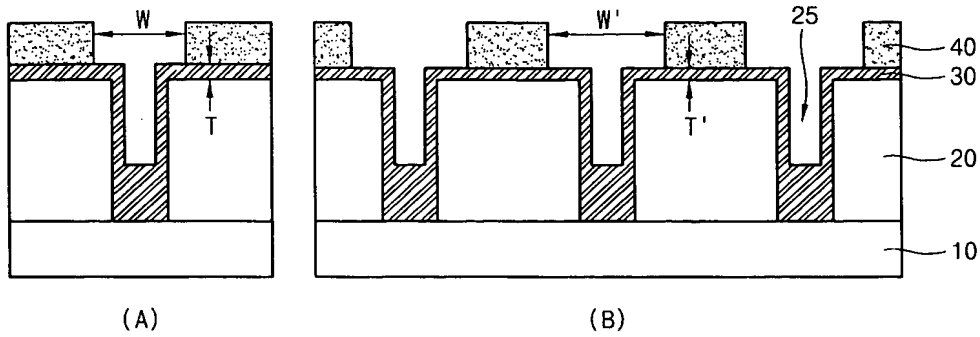
【청구항 4】

제2항에 있어서,

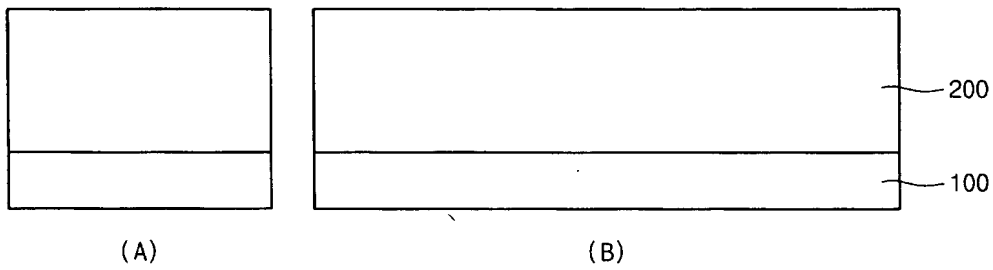
상기 소정의 물질층을 선택적으로 제거하는 단계는, 전면 건식각 공정과 화학기계적 연마 공정중 어느 하나의 공정을 사용하는 것을 특징으로 하는 반도체 소자의 다마신 패턴 형성방법.

【도면】

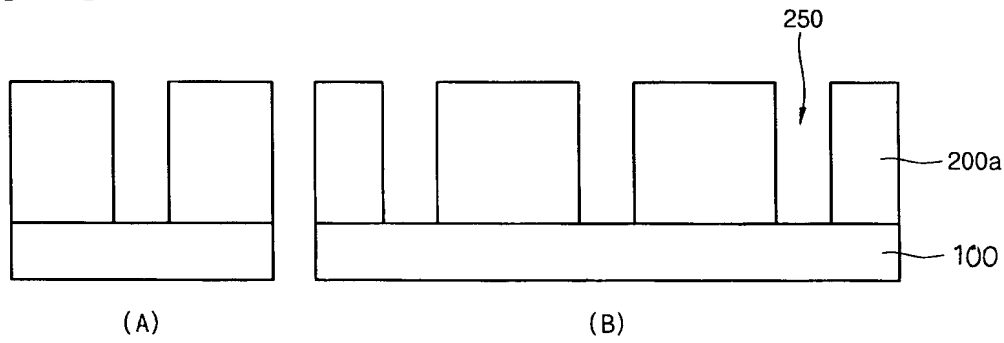
【도 1】



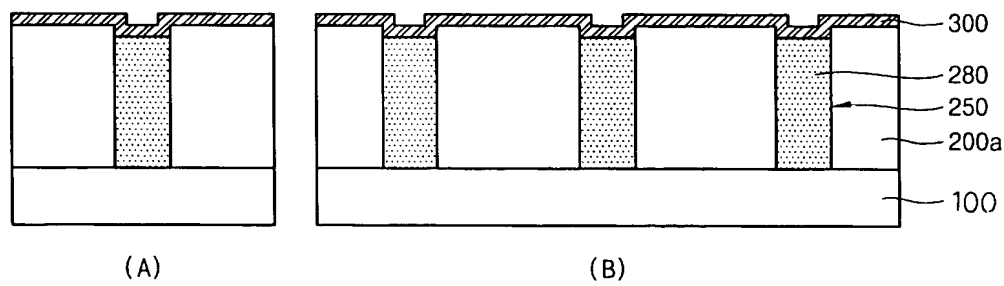
【도 2】



【도 3】



【도 4】



【도 5】

